

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.




As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

EXPOSING METHOD, MANUFACTURE OF DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

Patent number: JP2000091221
Publication date: 2000-03-31
Inventor: KOUCHI TETSUNOBU; SAITO KENJI
Applicant: CANON INC
Classification:
- international: H01L21/027; G03F7/20
- european:
Application number: JP19980272484 19980910
Priority number(s):

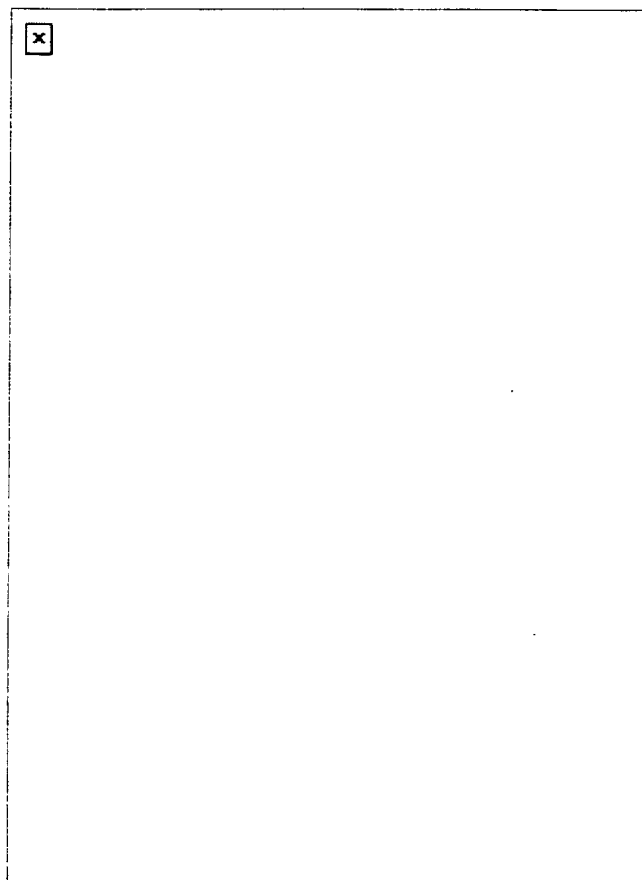
Also published as:

 EP0986094 (A2)
 US2002187440 (A1)
 EP0986094 (A3)

Abstract of JP2000091221

PROBLEM TO BE SOLVED: To manufacture a device of a semiconductor chip, etc., with high accuracy by exposing a fine pattern in such a way that the exposed area becomes sufficiently larger to contain the whole area of an in-chip device forming area on one chip formed on a substrate.

SOLUTION: An area for forming a fine line pattern 401 is formed (exposed) on the whole surface of a substrate so that the area may contain an input-output buffer circuit and become slightly larger than an device in chip forming area 404 in a semiconductor chip 101. The area 404 contains a connecting area for electrically connecting an active element, such as a MOS transistor, a bipolar transistor, a diode, etc., a passive element, such as a resistance element, a capacitance element, etc., and the whole or partial area of a connecting area of electrically connecting the active element and passive element. Namely, the area 404 is an area containing an internal circuit, a peripheral circuit, and a connecting area for connecting the circuits in the semiconductor chip 101.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-91221

(P2000-91221A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L 21/027		H 0 1 L 21/30	5 1 4 C	5 F 0 4 6
G 0 3 F 7/20	5 2 1	G 0 3 F 7/20	5 2 1	

審査請求 未請求 請求項の数17 F D (全 18 頁)

(21) 出願番号 特願平10-272484

(22) 出願日 平成10年9月10日 (1998.9.10)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 斉藤 謙治

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100086287

弁理士 伊東 哲也 (外2名)

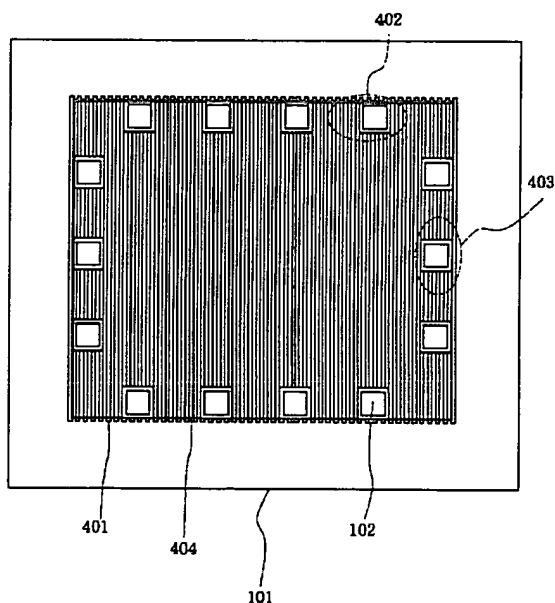
Fターム(参考) 5F046 AA13 AA25 BA08 CA04 DA02
DB01

(54) 【発明の名称】 露光方法及びそれを用いたデバイス製造方法並びに半導体デバイス

(57) 【要約】

【課題】 半導体チップをより高精度に製造することを可能にする。

【解決手段】 微細パターンと基板上で最小線幅が該微細パターンの最小線幅より広いマスクパターンとを前記基板上に重ね焼きして前記微細パターンの最小線幅に相当する最小線幅を有する目標パターンを前記基板上に形成するための露光方法において、前記微細パターンが露光される領域は、前記基板上に形成される1つのチップ領域内でチップ内デバイスが形成されるチップ内デバイス形成領域全面を含むような大きさとなるように露光される。



【特許請求の範囲】

【請求項1】 微細パターンと基板上で最小線幅が該微細パターンの最小線幅より広いマスクパターンとを前記基板上に重ね焼きして前記微細パターンの最小線幅に相当する最小線幅を有する目標パターンを前記基板上に形成するための露光方法において、

前記微細パターンが露光される領域は、前記基板上に形成される1つのチップ領域内でチップ内デバイスが形成されるチップ内デバイス形成領域全体を含むような大きさとなるように露光されることを特徴とする露光方法。

【請求項2】 前記微細パターンの全部が1枚のマスク上に形成され、1回の露光動作により前記微細パターン露光領域に露光されることを特徴とする請求項1記載の露光方法。

【請求項3】 前記微細パターンがストライプ状パターンであることを特徴とする請求項1または2記載の露光方法。

【請求項4】 前記微細パターンが一定の周期を持つ周期パターンであることを特徴とする請求項1または2記載の露光方法。

【請求項5】 前記周期パターンの配列方向に関して前記チップ内デバイス形成領域は前記微細パターン露光領域より少なくとも前記周期パターンのパターン1本分だけ内側にあることを特徴とする請求項4記載の露光方法。

【請求項6】 前記周期パターンのパターン幅が0.15 μ m以下で、前記周期パターンの本数が3本以上の場合、前記周期パターンの配列方向に関して前記チップ内デバイス形成領域は前記微細パターン露光領域より少なくとも前記周期パターンのパターン2本分だけ内側にあることを特徴とする請求項4記載の露光方法。

【請求項7】 前記周期パターンのパターン幅が0.12 μ m以下で、前記周期パターンの本数が3本以上の場合、前記周期パターンの配列方向に関して前記チップ内デバイス形成領域は前記微細パターン露光領域より少なくとも前記周期パターンのパターン4本分だけ内側にあることを特徴とする請求項4記載の露光方法。

【請求項8】 前記周期パターンの長さ方向に関して前記チップ内デバイス形成領域は前記微細パターン露光領域より該周期パターンの線幅の6倍以上内側にあることを特徴とする請求項4～7のいずれかに記載の露光方法。

【請求項9】 前記微細パターンが一定の周期を持つストライプ状パターンであることを特徴とする請求項1～8のいずれかに記載の露光方法。

【請求項10】 前記周期パターンは第1周期パターンと該第1周期パターンとは配列方向が異なる第2周期パターンとからなることを特徴とする請求項4～9のいずれかに記載の露光方法。

【請求項11】 前記第1および第2周期パターンの配

列方向は直交関係にあることを特徴とする請求項10記載の露光方法。

【請求項12】 前記周期パターンは配列方向が互いに異なる複数の周期パターンの集合を有し、前記チップ内で複数のパッドが第1および第2方向に沿って配列され、前記第1方向に沿って配列されているパッドの周囲には前記第1方向に沿って周期パターンが配列されている周期パターン集合を設け、前記第2方向に沿って配列されているパッドの周囲には前記第2方向に沿って周期パターンが配列されている周期パターン集合を設けることを特徴とする請求項10または11記載の露光方法。

【請求項13】 前記周期パターンは配列方向が互いに異なる3つ以上のパターンとからなることを特徴とする請求項4～9のいずれかに記載の露光方法。

【請求項14】 前記微細パターンは前記微細パターン露光領域の全面に形成されることを特徴とする請求項1～13のいずれかに記載の露光方法。

【請求項15】 前記微細パターンは前記微細パターン露光領域の内部の一部を除いて形成されることを特徴とする請求項1～13のいずれかに記載の露光方法。

【請求項16】 前記請求項1～15のいずれかに記載の方法を用いてデバイスを製造することを特徴とするデバイス製造方法。

【請求項17】 前記請求項1～15のいずれかに記載の方法を用いて製造したことを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、露光方法に関し、特に、投影露光などの通常露光に代表される第1の露光方式と、第1の露光方式よりも解像度の高い第2の露光方式とを用いて複数種のパターンを重ね焼きし、第2の露光方式に対応する最小線幅を有するパターン（以下、目標パターンという）を形成する露光方法に関する。本発明は、ICやLSI等の半導体チップ、磁気ヘッド等の検出素子、マイクロマシン、およびCCD等の撮像素子といったチップ状デバイスの製造に適用することができる。

【0002】

【従来の技術】ICやLSIおよび液晶パネル等のデバイスをフォトリソグラフィ技術を用いて製造する際用いられる投影露光装置は、現在、エキシマレーザを光源とするものが主流となっている。しかしながら、このエキシマレーザを光源とする投影露光装置をそのまま使用したのでは、線幅0.15 μ m以下の微細パターンを形成することは困難である。

【0003】解像度を上げるには、理論上では、投影光学系のNA（開口数）を大きくしたり、露光光の波長を小さくすれば良いのであるが、現実には、NAを大きくしたり、露光光の波長を小さくすることは容易ではな

い。すなわち、投影光学系の焦点深度はNAの自乗に反比例し、波長 λ に比例するため、特に投影光学系のNAを大きくすると焦点深度が小さくなり、焦点合わせが困難になって生産性が低下する。また、殆どの硝材の透過率は、遠紫外領域では極端に低く、例えば、 $\lambda = 248 \text{ nm}$ (KrFエキシマレーザ) で用いられる熔融石英でさえ、 $\lambda = 193 \text{ nm}$ 以下では殆ど0まで低下する。現在、通常露光による線幅 $0.15 \mu\text{m}$ 以下の微細パターンに対応する露光波長 $\lambda = 150 \text{ nm}$ 以下の領域で実用可能な硝材は実現していない。

【0004】そこで、被露光基板に対して、2光束干渉露光と通常の露光との二重露光を行ない、かつその時に被露光基板に多値的な露光量分布を与えることによって、より高解像度の露光を行なう方法が本出願人により特願平9-304232号「露光方法及び露光装置」(以下、先願という)として出願されている。この先願の実施例では2光束干渉露光は線幅 $0.1 \mu\text{m}$ L&S (ラインアンドスペース) の位相シフトマスクを用いて所謂コヒーレント照明で微細線パターンを露光し、その後、最小線幅 $0.1 \mu\text{m}$ の実素子パターンに対応する形状で光透過率が部分的に異なるパターンを形成されたマスクを用いて通常の露光(例えば部分コヒーレント照明による露光)を行なっている。この先願の方法によれば、露光波長 λ が 248 nm (KrFエキシマレーザ)、投影光学系の像側NAが0.6の投影露光装置を前記通常露光に用いて、最小線幅 $0.10 \mu\text{m}$ のパターンを形成することができる。

【0005】また、微細パターンを露光する他の方法として、プローブを用いて感光体に描画露光する、いわゆるプローブ露光方式が知られている。プローブとしては、近接場光、レーザビーム、電子ビーム、トンネル電流を利用したSTM、原子間力を利用したAFMなどを用いることができる。しかしながら、露光面積の全体をプローブ露光すると、スループットが低いという問題がある。そこで、目標パターンのうち通常露光で対応できる部分は通常露光により感光体の露光閾値を越える光量で感光させ、解像度が不足する部分はそれぞれ単独では感光体の露光閾値に達しないが双方を合わせると感光体の露光閾値を越える光量の通常露光とプローブ露光とを重ね焼きすることにより、上記と同様の多値的な露光量分布を与えることが、例えば、本出願人による特願平10-137476号「露光方法および露光装置」により提案されている。

【0006】

【発明が解決しようとする課題】本発明の目的は、上記の多重露光を適用して半導体チップ等のデバイスをより高精度に製造することを可能にする露光方法を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するた

め本発明では、微細パターンと基板上で最小線幅が該微細パターンの最小線幅より広いパターン(以下、ラフパターンという)とを前記基板上に重ね焼きして前記微細パターンの最小線幅に相当する最小線幅を有する目標パターンを前記基板上に形成するための露光方法(以下、二重露光または多重露光という)において、前記微細パターンが露光される領域は、前記基板上に形成される1つのチップ上でチップ内デバイスが形成されるチップ内デバイス形成領域全面を含むような大きさとなるように露光されることを特徴とする。

【0008】ここで、チップ内デバイス形成領域とは、MOSTランジスタ、バイポーラトランジスタおよびダイオードなどの能動素子、抵抗素子および容量素子などの受動素子、ならびに前記能動素子および受動素子をそれぞれ電気的に接続するための接続領域の全てまたはいずれかを含む領域である。

【0009】前記微細パターンは前記微細パターン露光領域の全面を一括で露光することが好ましい。例えばステップアンドリピート型の露光装置やステップアンドスキャン型の露光装置を用いる場合、前記微細パターンを1枚のマスク上に形成し、1回の露光動作により前記微細パターン露光領域全面分の微細パターンを露光する。前記微細パターンとしてはストライプ状や市松模様状のものなどを用いることができる。また、周期的なパターンの他、微細パターンが等ピッチで配列していない非周期パターンも用いることができる。前記微細パターン露光領域内の微細パターンは、全面同一種類であっても、一部向きやパターン形状が異なっても良い。微細パターン露光領域内の一部に微細パターンを設けない空白部が存在しても良い。さらに、前記微細パターンは互いに異なる3つ以上のパターンを有していても良い。

【0010】微細パターンがストライプ状の周期パターンである場合、前記チップ内デバイス形成領域は前記微細パターン露光領域より前記周期パターンのパターン1本分以上内側になるように設定することが好ましい。また、前記周期パターンのパターン幅が $0.15 \mu\text{m}$ 以下で、本数が3本以上の場合には該周期パターンの配列方向に関して前記チップ内デバイス形成領域は前記微細パターン露光領域より該周期パターンのパターン2本分以上、そして前記周期パターンのパターン幅が $0.12 \mu\text{m}$ 以下で、本数が3本以上の場合には該周期パターンの配列方向に関して前記チップ内デバイス形成領域は前記微細パターン露光領域より前記周期パターンのパターン4本分以上内側になるように設定することがさらに好ましい。また、前記周期パターンの長さ方向に関しては前記チップ内デバイス形成領域を前記微細パターン露光領域よりパターン線幅の6倍以上内側になるように設定することが好ましい。

【0011】

【作用】二重露光する際、微細パターンはできるだけ均

一であることが望ましい。本発明によれば、微細パターン露光領域をチップ内デバイス形成領域より大きくすることで、微細パターンの端のエッジ効果や、近接効果、マイクロローディング効果の影響を受けない部分、すなわち微細パターンの形状的に均一な部分をチップ内デバイス形成領域で使うことが可能となる。また、微細パターン露光領域の全面を一括で露光した場合には、露光量の面から、広い範囲での露光量分布制御、およびレジスト露光後の状態（酸の拡散など）を均一にすることができる。特に、化学増幅レジストでは露光後現像までの時間が線幅（CD）に大きく影響するが、これを均一にすることができる。

【0012】このように、本発明によればチップ内デバイス形成領域の微細パターンを均一化することができ、目標パターンの再現性を上げ、半導体チップ等のデバイスを高精度に製造することができる。

【0013】

【実施例】以下、図面を用いて本発明の実施例を説明する。

第1の実施例

半導体チップはチップ外部と信号の送受信を行なうために、チップ外周部にパッド部を設けている。その例を図1に示す。同図において、101は基板となる半導体ウエハ上に形成された半導体チップ、102は半導体チップ内の外周部に設けられたパッド部である。同図に示したように、なるべく多くの情報を送受信するために、チップの外周4辺すべてにパッド部を設ける場合がある。

【0014】例えばロジック集積回路の場合、このような半導体チップの出力パッド部にはチップ外部の大きな負荷を駆動するためにインバータ回路（信号反転回路）を一段または多段に接続したバッファ回路が各パッドごとに設けられている。また入力パッド部にも内部の回路を駆動するためのバッファ回路が設けられている。

【0015】図2に示したのが出力バッファ回路を有する出力パッド部の例である。説明を簡略化するために、1段のインバータバッファ回路を有する場合を例にとって説明する。同図において、10はP型MOSTランジスタ、1はP型MOSTランジスタ10のソース領域、2はP型MOSTランジスタ10のドレイン領域、20はN型MOSTランジスタ、3はN型MOSTランジスタ20のソース領域、4はN型MOSTランジスタ20のドレイン領域、5はP型、N型MOSTランジスタ10、20に共通に用いられるゲート電極である。6は各ソースおよびドレイン領域1～4と配線層（配線部8、電源配線9およびグラウンド配線11）とを接続するコンタクト部、7は半導体チップと外部とを接続するためのパッド部である。ドレイン領域2、4はコンタクト部6を介して配線部8に接続し、配線部8はパッド部7に接続している。P型MOSTランジスタ10のソース領域1はコンタクト部6を介して電源配線9に接続してい

る。N型MOSTランジスタ20のソース領域3はコンタクト部6を介してグラウンド配線11に接続している。ソースおよびドレイン領域1～4はシリコン基板表面のシリコン活性化層に形成されており、配線層は、前記シリコン活性化層上に形成された不図示の絶縁層上に形成されている。ゲート電極5は、前記絶縁層上にポリシリコン層、ポリサイド層、またはそれらの積層で形成されている。以上のような構成により、P型MOSTランジスタ10とN型MOSTランジスタ20でCMOSインバータが形成され、図示を省略した内部回路からゲート配線部12を介してゲート電極5に伝えられた信号に応じてパッド部7にはその反転信号が出力される。

【0016】また、図3に示したのが入力バッファ回路を有する入力パッド部の例である。同図において図2と同一部材は同一番号を付記してある。同図のような構成で、パッド部7に外部から信号が印加されるとその信号がゲート配線部12を介してゲート電極5に伝えられ不図示の内部回路にはCMOSインバータで反転された信号が伝えられる。

【0017】図4は微細線パターンと基板となる半導体ウエハ上で（または半導体ウエハ上に露光された際に）最小線幅が該微細線パターンの線幅より広いラフパターンとをウエハ上に重ね焼きして前記微細線パターンの線幅に相当する最小線幅を有する目標パターンをウエハ上に生成するための多重露光法により、半導体ウエハ上の半導体チップ内の出力バッファ回路および入力バッファ回路に簡便なプロセスで微細なMOSTランジスタを形成して用いるときの微細線パターン（ストライプ状の微細パターン）の半導体ウエハ上でのパターン形状を示したものである。同図において、図1と同一部材は同一番号を付記してある。401は微細線（周期）パターンである。この微細線パターン401と重なるように例えばゲート層形成用のラフパターンを作成して二重露光することにより、微細なゲート長を有するMOSTランジスタを容易に形成することができる。本実施例の場合、微細線パターン401の形成領域は入出力バッファ回路を含み、半導体チップ101内のチップ内デバイス形成領域404より僅かに大きくなるように全面形成（露光）されている。

【0018】ここで、チップ内デバイス形成領域とは、MOSTランジスタ、バイポーラトランジスタおよびダイオードなどの能動素子、抵抗素子および容量素子などの受動素子ならびに前記能動素子および受動素子をそれぞれ電気的に接続するための接続領域の全てまたはいずれかを含む領域、すなわち図1の例に照らして説明すれば、半導体チップ101の中で、内部回路、周辺回路およびそれぞれを接続する接続領域を含む領域である。また、このような周辺回路を示した図2および図3でいうと、P型MOSTランジスタ10、N型MOSTランジスタ20、MOSTランジスタ10、20と配線8、

9、11を接続するコンタクト部6、図3のMOSトランジスタ10、20のゲート5とパッド部7を接続する不図示のコンタクト部を含む領域である。なお、チップ内デバイス形成領域はパッド部102の配置に制限されるものではなく、パッド部と半導体チップの外周の間の領域にチップ内デバイス形成領域を設けてもなんら問題はない。また、パッド部の配置はチップ外周部近傍に制限されるものではなく、チップ中央部近傍に設けられても良い。

【0019】微細線パターンは、エッジ効果や、近接効果およびマイクロローディング効果の影響を受けて、配列方向や長さ方向の両端で露光量や解像度が低下するが、本実施例によれば、微細線（周期）パターン401の形成領域を出入力バッファ回路となるチップ101内のチップ内デバイス形成領域より僅かに大きくなるように全面露光するようにしたため、露光量や解像度の低い微細線パターン端部がチップ内デバイス形成領域の外部に位置することとなる。したがって、チップ内デバイス形成領域では、微細パターンの形状的に均一な部分のみを使うことが可能となり、チップ101内の内部回路部分だけでなく出入力バッファ回路部分をも高精度に形成することができる。

【0020】図5および図6は、微細周期パターン領域と所望のパターン（5本バー）領域の領域設定の違いを示したものである。図5は微細周期パターン領域を所望のパターンと同じ領域までとした場合の二重露光の強度分布、図6は所望のパターンが良好に作成可能なように微細周期パターン領域を拡大した場合の二重露光の強度分布を示す。図5および図6において、上段がレベソソ型位相シフトマスクによる微細周期パターンの露光量分布、中段がラフパターンによる露光量分布、下段が二重露光による露光量分布である。横方向にデフォーカスを変化させた時の状況を示す。各図には露光量分布と5本バーの位置が示してある。

【0021】図5では、特にデフォーカスが発生した場合、微細周期パターンの両端でのライン形状が乱れ、二重露光による露光量分布も、両端のパターンと中央のパターンの差が大きい。これに対し、図6のように、所望のパターン領域よりも両側に4本分多く微細パターンを設定した場合は、デフォーカスが発生しても、二重露光後両端のパターンと中央のパターンとで露光量分布の差は少なくなっており、露光裕度が改善されていることが分かる。

【0022】デフォーカス $0.4\mu\text{m}$ を例にこの点をさらに詳しく説明する。図7に解像可能な露光量の幅を示す。所望のパターン領域が微細周期パターン領域と同じ場合は、図7(a)に示すように、5本バーは解像されても、1本ごとの線幅が変わってしまう。これに対し、微細周期パターン領域を拡大した場合は、図7(b)のように、5本バーはそれぞれ所望の線幅に解像でき、そ

の所望の線幅に解像できる露光量にも幅を持つことができる。

【0023】図5～図7は、前記微細周期パターンおよび5本バーの線幅および間隔を $0.12\mu\text{m}$ として、光源がKrFエキシマレーザ（ $\lambda=248\text{nm}$ ）で、投影光学系の像側NAが0.6の投影露光装置を用いて通常露光を行なった場合のものである。表1は、通常露光に上記の投影露光装置を用いて、前記線幅および間隔を $0.12\mu\text{m}$ 、 $0.13\mu\text{m}$ および $0.15\mu\text{m}$ に設定した場合、ならびに所望のパターン（目標パターン）のバーの本数を孤立パターン（1本）、3本および5本にした場合について微細周期パターンの好ましい拡大量（パターン本数）をまとめたものである。表1において、パターン本数は、抜きパターン（パターン部光透過型）ではガラスパターンの本数、残しパターン（パターン部遮光型）ではCrパターンの本数で表わしている。

【0024】

【表1】

パターン幅	0.12	0.13	0.15
パターン本数			
1	3	2	1
3	4	3	2
> 3	4	3	2

【0025】以上のように、微細周期パターンの線幅が $0.12\mu\text{m}$ の場合、微細周期パターン領域を、所望のパターン領域よりも微細周期パターン4本分以上拡大することが二重露光では有効である。

【0026】また、パターンの長手方向について、微細周期パターン領域をどの位拡大すれば良いかを検討した。図8は微細周期パターンの長さ増加分（長さ方向の拡大分）と二重露光により形成されるパターンの長さをグラフ化したものである。微細周期パターンの最小線幅を w とし、幅 w 、長さ $14w$ の所望パターン（バーパターン）を二重露光して形成されるバーパターンの長さを $\%$ で示している。微細周期パターンの長手方向が所望パターンと同じ場合は二重露光の結果形成されるバーパターンの長さは所望パターンより14%程度短縮される。微細周期パターンを長手方向に拡大するにつれ、短縮量は減少し、最小線幅の6個分ではほぼ飽和することが分かる。そこで、長手方向には最小線幅の6個分（最小線幅 $0.12\mu\text{m}$ では $0.72\mu\text{m}$ ）以上、微細周期パターン領域を拡大することが好ましい。すなわち、微細周期パターン露光領域は、それぞれの端部で、所望のパターン領域（デバイス形成領域）より周期方向に4本分以上、長手方向には最小線幅の6個分以上拡大することが好ましい。

【0027】第2の実施例

図4に示したように微細線パターンとして一種類のパターンで全てのゲートパターンを形成した場合、領域402のパッド部は図2または3のような配置で形成できるが、領域403のパッド部は図9に示したようにパッドに対してバッファ回路の向きが90度異なってしまう。そのため、バッファ回路に接続する電源配線9の長さがパッド列により異なりその直列抵抗値の違いにより各バッファ回路で動作速度が異なってしまう。

【0028】また、パッドの周囲には図2、3、9に示したように電源配線およびグラウンド配線11が敷設されているが、インバータのサイズが大きかったりインバータを多段に接続した場合などバッファ回路領域の一辺がパッドサイズより大きくなる場合があり、その場合バッファ回路の向きによりこの配線間の領域に効率良く配置することができなくなりチップサイズが増大する。

【0029】図10は本発明の第2の実施例に係る半導体チップのパッド部の構成を示す。本実施例は、微細線パターンと最小線幅が該微細線パターンの線幅より広いラフパターンとを重ね焼きして前記微細線パターンの線幅に相当する最小線幅を有する目標パターンを生成するための多重露光法において、前記複数の微細線パターンが少なくとも異なる二つの角度を有する例を示すものであり、上記第1の実施例をさらに改良したものである。

【0030】図10において図1と同一部材は同一番号を付加してある。図10において601は第1の微細線パターン群である。602は第2の微細線パターン群であり、第1の微細線パターン群601と直角をなしている。図10の微細線パターンを用いてバッファ回路のゲートを形成した場合、パッド部と各バッファ回路との相対的な位置関係は半導体チップの各辺においていずれも同一に形成することが可能となる。図10のチップの右上部を拡大した図を図11に示す。同図に示したようにパッドの配置に応じて微細線パターンの向きを変えてMOSトランジスタの向きも変えることで、動作特性の均一な多数のバッファ回路を高集積度に配置形成することができる。

【0031】第3の実施例

本発明はパッド部に限るものではなく、半導体チップ内部のトランジスタ配置に関しても応用できるものである。図12～図14は、半導体チップ内部にも微細パターンを配置した例を示す。微細パターンは、図12に示すように、微細パターン露光領域の全面に形成することができる。また、図14に示すように、微細パターン露光領域の内部の一部を除いて形成することもできる。図14において、1801は微細線パターン中抜き領域である。さらに、図12～図14に示すように、互いに配列方向の異なる複数の微細線パターン群を形成しても良い。図12～図14において、第1の微細線パターン1601、1701と第2の微細線パターン1602、1702とは配列方向が直交している。

【0032】第4の実施例

図15は半導体ウエハ(基板)上に一つのデバイスとして形成されるマトリクス型光電変換装置に上記第2の実施例の考えを適用した例を示す。図15において、801はマトリクス状に光電変換素子が配列された光電変換素子領域、802は垂直走査回路、803は水平走査回路、804は水平読み出し回路部、805は出力アンプである。

【0033】光電変換素子で発生させられた電荷は各光電変換素子から垂直走査回路802で選択された順に電荷の状態をそのまましくは各光電変換素子ごとに設けられた増幅素子で増幅された後に水平読み出し回路部804に読み出される。その後水平走査回路803により選択された順に出力アンプ805を経由して順次読み出される。

【0034】ここで、垂直走査回路802は図15において縦方向に順次選択していくものであり、CMOSインバータと転送スイッチを組み合わせた方式やNもしくはP型MOSトランジスタと容量素子を組み合わせた方式が一般に知られている。それに対して水平走査回路803は回路方式は垂直走査回路802と同様のものであるがその走査方向が垂直走査回路802と90度異なる方向であるため、回路802と803をそれぞれ構成するMOSトランジスタは互いに90度向きが異なっていることが集積度が高く効率の良い配置をするために必要である。

【0035】図16は本実施例の回路を実現するための微細線パターン形状を示した図である。同図において901は第1の微細線パターン群である。902は第2の微細線パターン群であり第1の微細線パターン群901と90度向きが異なっている。第1の微細線パターン群901を用いて垂直走査回路802を構成するMOSトランジスタのゲート部を作成し、第2の微細線パターン群902を用いて水平走査回路803を構成するMOSトランジスタのゲート部を作成することで、効率良く各回路を配置することが可能となる。

【0036】同様なマトリクス駆動を行なう回路として、液晶表示装置があるがこの場合にも同様な効果が得られることはいうまでもない。また、順次走査回路の代わりにデコーダ回路を用いる場合もあるがこの場合にも同様な効果が得られることはいうまでもない。さらに、

DRAM、SRAM、フラッシュメモリなどの各メモリにおいても同様の効果が得られることはいうまでもない。また、半導体デバイスだけでなくマイクロマシン等の機械的なデバイスの製造にも適用可能である。

【0037】また、上記例では、微細線パターンを紙面左右(0°)と紙綿上下(90°)の向きに配置する例を述べているが、本発明はこれに限るものではなく、それ以外の角度でも良い。また、形成したい回路構成に応じて3種類以上の互いに向きの異なる微細線パターンを

用いても良い。

【0038】第5の実施例（デバイス構造製造の実施例）

図17から図25は、多重露光方式を用いて本発明に係るチップ内デバイス構造を製造する工程の説明図である。図17はシリコン活性領域を作成する工程を示したものである。図17(a)に示したマスクパターンを通常の、例えば露光波長 λ が248nm(KrFエキシマレーザ)、投影光学系の像側NAが0.6の投影露光装置を用いて露光し、シリコン活性領域に相当する部分を残したフォトレジストパターンを半導体ウエハ上に形成する。そのパターンの外側に、例えば選択酸化法(LOCOS)を用いてシリコン酸化膜領域を形成してこれを素子分離領域とすることで、シリコン活性領域を作成することができる。図17(b)はその平面図であり、図17(c)は図17(b)のA-A'断面図である。図17(a)～(c)において1001は作成されたシリコン活性領域、1002は電氣的絶縁層からなる素子分離領域である。

【0039】図18(a)(b)および図19(a)はゲート領域を形成するための二重露光方式の原理を示す。図18(a)は線幅および間隔が半導体ウエハ上に露光された状態でLのレベンソンパターン、図18(b)はラフパターンである。ラフパターンは透過率1のパターン領域1101と、透過率2のパターン領域1102とからなり、各パターン領域の最小線幅および間隔が半導体ウエハ上に露光された状態で2L以上に設定されている。これらのレベンソンパターンとラフパターンそれぞれ上述の2光束干渉露光方式および通常露光方式により図19(a)に示すように重ね焼きし、その際、各パターンが焼き付けられるフォトレジストの露光しきい値 E_{th} と各パターンおよびパターン領域による露光量とを適切な関係に設定することにより、図19(b)のパターン1103に示すような最小線幅が半導体ウエハ上に露光された状態でLのゲートに対応するフォトレジストパターン(目標パターン)を形成することができる。なお、ここに示した透過率1、2は便宜的なもので、物理的な意味はなく説明を簡単にするために用いているものである。

【0040】図17(b)(c)に示すシリコン活性領域1001の上にシリコンの熱酸化によりゲート絶縁膜を形成し、その後例えばCVD(Chemical Vapor Deposition)法などによりポリシリコン層を形成する。このポリシリコン層を前述の二重露光方式を用いて作成したフォトレジストパターンに応じてエッチングしてパターンニングすることで、最小線幅Lのゲートパターンを形成することができる。図19(b)はその平面図であり、図19(c)は図19(b)のA-A'断面図である。図19において1103はポリシリコン等よりなるゲート領域、1104はゲート絶縁膜、1105はゲート領域

1103形成後にイオン注入法により不純物注入を行なって作成されたMOSトランジスタのソース、ドレイン領域である。

【0041】次に、前記実施例における二重露光の原理を図20～22を用いてさらに詳しく説明する。二重露光においては、通常の露光感度設定とは異なり、図20および図21に示す通り、周期パターン露光(レベンソンパターン露光、2光束干渉露光等)での最大露光量を1とした時、感光基板のレジストの露光しきい値 E_{th} を1よりも大きく設定する。この感光基板は周期パターン露光のみ行なった露光パターン(露光量分布)を現像した場合は露光量が不足するので、多少の膜厚変動はあるものの現像によって膜厚が0となる部分は生じず、エッチングによってリソグラフィーパターンは形成されない。これは即ち周期パターンの消失と見做すことができる。なお、ここではネガ型のフォトレジストを用いた場合の例を用いて二重露光の説明を行なうが、二重露光はポジ型のフォトレジストの場合でも実施できる。図20(a)および図21(a)はリソグラフィーパターンを示し(何もできない)、図20(b)および図21(b)は露光量分布と露光しきい値の関係を示す。なお、図20(b)および図21(b)に記載の E_1 は周期パターン露光における露光量を、 E_2 は通常の投影露光における露光量を表わしている。

【0042】この二重露光の特徴は、周期パターン露光のみでは一見消失する高解像度の露光パターンを通常の投影露光による露光装置の分解能以下の大きさのパターンを含む任意の形状の露光パターンと融合して所望の領域のみ選択的にレジストの露光しきい値以上露光し、最終的に所望のリソグラフィーパターンを形成できるところにある。

【0043】図22(a)は通常の投影露光による露光パターンであり、この実施形態では、通常の投影露光の解像度は周期パターン露光のための2光束干渉露光の約半分としている為、ここでは投影露光による露光パターンの線幅が2光束干渉露光による露光パターンの線幅の約2倍として図示してある。

【0044】図22(a)の露光パターンを作る投影露光を、2光束干渉露光の後に、現像工程なしで、同一レジストの同一領域に重ねて行なうとすると、このレジストの合計の露光量分布は図22(b)の下部のグラフのようになる。なお、ここでは2光束干渉露光の露光量 E_1 と投影露光の露光量 E_2 の比が1:1、レジストの露光しきい値 E_{th} が露光量 E_1 (=1)と露光量 E_1 と投影露光の露光量 E_2 の和(=2)の間に設定されているため、図22(b)の上部に示したリソグラフィーパターンが形成される。図22(b)の上部に示す孤立線パターンは、解像度が2光束干渉露光のものでありかつ単純な周期的パターンもない。したがって通常の投影露光で実現できる解像度以上の高解像度のパターンが半導

体ウエハ上で得られたことになる。

【0045】多重露光方式は上記以外にもいくつかあるが、他の方式の一例について説明する。図23はラフパターンマスクとして通常露光では解像できない微細パターンのボケ像を重ねる二重露光方式のラフパターンマスク配置を示す。このマスクは所望の最小線幅が半導体ウエハ上に露光された状態でLのゲートそのもののパターンを配置している。このマスクを用いて通常露光すると、線幅が2L以上の領域は解像するが、微小線幅の領域はぼけた露光量分布をレジスト上に形成することになる。

【0046】この部分B-B'の露光量分布について以下、詳細に説明する。図24(a)は通常の投影露光による露光パターンを示し、図24(b)はその露光状態を示す。この露光パターンは、露光装置の分解能以下の微細なパターンであるため解像できずに被露光基板物体上での強度分布はぼけて広がっている。ここで、露光パターンは、通常の投影露光の解像度の約半分の線幅の微細なパターンとしている。

【0047】図24(c)の露光パターンを作る投影露光を、図20(a)の周期パターン露光の後に、現像工程なしで、同一レジストの同一領域に重ねて行なったとする。その際通常露光パターンの中心を周期パターンのピークと合致させておく。すると、このレジストの合計の露光量分布は図24(d)のグラフのようになる。ここでは周期パターン露光の露光量 E_1 と投影露光の露光量 E_2 の比が1:1、レジストの露光しきい値 E_{th} が露光量 E_1 (=1)と露光量 E_1 および投影露光の露光量 E_2 の和(=2)との間に設定されているため、これを現像すると、図24(c)に示したリソグラフィパターンが半導体ウエハ上に形成される。図24(c)に示す孤立線パターンは解像度が周期パターン露光のものであり、かつ単純な周期的パターン自体は現像されない。したがって通常の投影露光で実現できる解像度以上の高解像度のパターンが得られたことになる。なお、ここに示した露光量1、2は便宜的なもので、物理的な意味はなく説明を簡単にするために用いているものである。

【0048】図25は、コンタクト領域を形成するための三重露光方式の原理を示す。まず、図25(a)に示す線幅および間隔がそれぞれ半導体ウエハ上に露光された状態でLのストライプパターンからなるレベンソンパターンを2光束干渉露光方式の露光装置によって露光量1で焼き付け、次いでそのレベンソンパターンを90度回転した状態で露光量1で焼き付けると、被露光基板は図25(b)に示す状態で半導体ウエハ上に露光される。図25(b)において、1201はレベンソンパターンを介して二重露光されたレベンソン二重露光領域、1202はレベンソンパターンを介して一回露光されたレベンソン一回露光領域、1203はレベンソンパターン露光時には露光されなかったレベンソン非露光領域で

ある。レベンソン二重露光領域1201は露光量2で露光されている。この露光量2は、被露光基板に塗布されたフォトレジストの露光しきい値 E_{th} よりも低い露光量に設定されている。

【0049】このように直交する二つのレベンソンパターンを露光した被露光基板上に、さらに図26(a)に示すラフマスクパターン1204を通常露光方式で露光量1で露光する。その結果、レベンソン二重露光領域1201とラフマスクパターン1204が重複露光された部分のみが露光量3となっている。ここで前記フォトレジストの露光しきい値 E_{th} が露光量2と3の間に来るように各パターンの露光量を設定することにより、1辺がLの正方形フォトレジストパターンを形成することができる。なお、ここに示した露光量1、2、3は便宜的なもので、物理的な意味はなく説明を簡単にするために用いているものである。

【0050】図19(d)に示したポリシリコンゲート1103の上にCVD法などによりシリコン酸化膜などからなる層間絶縁膜を堆積した後に、前述の三重露光方式で作成したフォトレジストパターンに応じてこの層間絶縁膜をエッチングしてコンタクトホール1205を形成することができる。図26(b)はその平面図であり、図26(c)はそのA-A'断面図である。図26において、1205はコンタクトホール、1206は層間絶縁膜である。

【0051】図27は配線領域を形成する工程を示したものである。図27(a)に示したラフマスクパターンを通常露光方式で露光し、フォトレジストパターンを形成する。前述の層間絶縁膜1206およびコンタクトホール1205の上に例えばスパッタ法などによりアルミニウムなどの金属層を形成する。その後前記通常露光方式で作成したフォトレジストパターンに応じて金属層をエッチングすることで所望の配線パターンを形成する。コンタクトホール1205に形成された金属層はシリコン活性領域中のソース、ドレイン領域1105と電気的に導通し、MOSトランジスタの電極を形成する。図27(b)は平面図、図27(c)はそのA-A'断面図である。同図において、1301は金属配線層である。

【0052】第6の実施例(デバイス生産方法の実施例)

次に上記説明した露光方法を利用したデバイスの生産方法の実施例を説明する。図28は微小デバイス(ICやLSI等の半導体チップ、液晶パネル、CCD、薄膜磁気ヘッド、マイクロマシン等)の製造のフローを示す。ステップ1(回路設計)ではデバイスのパターン設計を行なう。ステップ2(マスク製作)では設計したパターンを形成したマスクを製作する。一方、ステップ3(ウエハ製造)ではシリコンやガラス等の材料を用いてウエハを製造する。ステップ4(ウエハプロセス)は前工程と呼ばれ、上記用意したマスクとウエハを用いて、リソ

グラフィ技術によってウエハ上に実際の回路を形成する。次のステップ5（組み立て）は後工程と呼ばれ、ステップ4によって作製されたウエハを用いて半導体チップ化する工程であり、アッセンブリ工程（ダイシング、ボンディング）、パッケージング工程（チップ封入）等の工程を含む。ステップ6（検査）ではステップ5で作製された半導体デバイスの動作確認テスト、耐久性テスト等の検査を行なう。こうした工程を経て半導体デバイスが完成し、これが出荷（ステップ7）される。

【0053】図29は上記ウエハプロセスの詳細なフローを示す。ステップ11（酸化）ではウエハの表面を酸化させる。ステップ12（CVD）ではウエハ表面に絶縁膜を形成する。ステップ13（電極形成）ではウエハ上に電極を蒸着によって形成する。ステップ14（イオン打ち込み）ではウエハにイオンを打ち込む。ステップ15（レジスト処理）ではウエハに感光剤を塗布する。ステップ16（露光）では上記した多重露光や通常露光等、最小線幅に応じた露光方法によって回路パターンをウエハに焼付露光する。ステップ17（現像）では露光したウエハを現像する。ステップ18（エッチング）では現像したレジスト像以外の部分を削り取る。ステップ19（レジスト剥離）ではエッチングが済んで不要となったレジストを取り除く。これらのステップを繰り返すことによって、ウエハ上に多重に回路パターンが形成される。

【0054】なお、本実施例では、ゲートパターンとコンタクトホール形成に多重露光を用いているが、これに限るものでなく、例えば微細な配線の形成に用いても良い。

【0055】本実施例の生産方法を用いれば、従来は製造が難しかった高集積度のデバイスを低コストに製造することができる。

【0056】

【発明の効果】以上のように、本発明によれば、微細パターン露光領域をチップ内デバイス形成領域を含むように、チップ内デバイス形成領域より大きくしたため、微細パターンの端のエッジ効果や、近接効果、マイクロローディング効果の影響を受けない微細パターンをチップ内デバイス形成領域で使うことが可能となる。また、上記微細パターン全部を1枚のマスク上に形成して1露光動作で露光するようにすれば、広い範囲での露光量分布制御およびレジスト露光後の状態（酸の拡散など）の均一性を確保することができる。これにより、半導体チップを高精度に製造することができる。特に、化学増幅レジストでは露光後現像までの時間が線幅（CD）に大きく影響するので、露光後現像までの時間の均一化は半導体チップ等のデバイスの高精度化に大いに役立つ。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る半導体チップの構成を示す図である。

【図2】 図1の半導体チップにおける出力バッファ回路の構成を示す図である。

【図3】 図1の半導体チップにおける入力バッファ回路の構成を示す図である。

【図4】 図1の半導体チップ内の出力バッファ回路および入力バッファ回路の微細パターンを形成するために用いる微細線パターンの形状および配置を示す図である。

【図5】 微細線周期パターン領域と所望のパターン領域とが同一である場合の露光状態を示す図である。

【図6】 微細線周期パターン領域を微細線パターンの配列方向両側に微細線パターンの4本分ずつ所望のパターン領域より拡大した場合の露光状態を示す図である。

【図7】 図5および図6の二重露光により解像可能な露光量の幅を示す図である。

【図8】 微細線パターンを長手方向において所望のパターン領域より延長した場合の長さ増加分と二重露光により形成されるパターンの長さとの関係を示すグラフである。

【図9】 図1の半導体チップ内で出力バッファ回路の角度が図3と90度異なる場合の構成例を示す図である。

【図10】 本発明の第2の実施例に係る半導体チップのパッド部の構成を示す図である。

【図11】 図10の半導体チップの右上部の拡大図である。

【図12】 半導体チップ内部にも微細パターンを配置した例を示す図である。

【図13】 半導体チップ内部にも微細パターンを配置した他の例を示す図である。

【図14】 半導体チップ内部にも微細パターンを配置したが、空白部をも設けた例を示す図である。

【図15】 本発明の多重露光を適用して製造されるマトリクス型光電変換装置の構成を示す図である。

【図16】 図15の装置におけるチップ内デバイスの微細なパターンを形成するための微細線パターンの配置状態を示す図である。

【図17】 シリコン活性領域を作成する工程を示す図である。

【図18】 二重露光方式の原理説明図である。

【図19】 二重露光方式の原理説明図である。

【図20】 微細線露光による露光パターンを示す模式図である。

【図21】 二重露光によるラフパターンなしの部分の露光パターンを示す模式図である。

【図22】 通常の投影露光による露光パターンを示す模式図である。

【図23】 ボケ像を重ねる二重露光に用いるマスクを示す図である。

【図24】 二重露光により形成される露光パターンを

示す模式図である。

【図25】 コンタクト領域を形成するための三重露光方式の原理を示す図である。

【図26】 上記三重露光方式の原理を示す図である。

【図27】 配線領域を形成する工程を示す説明図である。

【図28】 微小デバイスの製造の流れを示す図である。

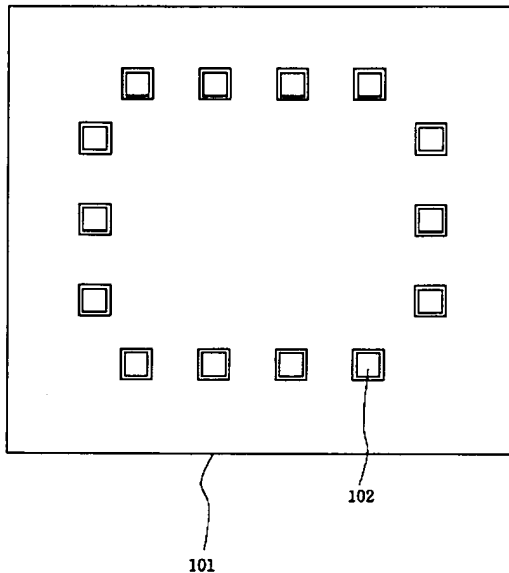
【図29】 図28におけるウエハプロセスの詳細な流れを示す図である。

【符号の説明】

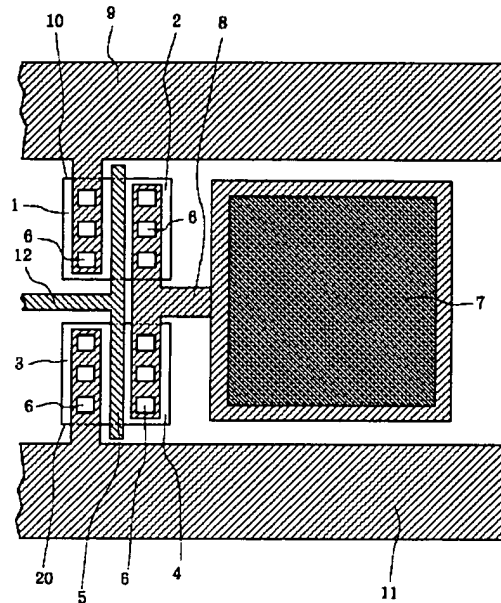
1、3：ソース領域、2、4：ドレイン領域、5：ゲート電極、6：コンタクト部、7、102：パッド部、8：配線部、9：電源配線、10：P型MOSトランジスタ、11：グラウンド配線、12：ゲート配線部、20：N型MOSトランジスタ、101：半導体チップ、

102:パッド部、401:微細線(周期)パターン、
402、403:パッド部が形成される領域、404:
チップ内デバイス形成領域、601、901、160
1、1701:第1の微細線パターン群、602、90
2、1602、1702:第2の微細線パターン群、8
01:光電変換素子領域、802:垂直走査回路、80
3:水平走査回路、804:水平読み出し回路部、80
5:出力アンプ、1001:シリコン活性領域、100
2:素子分離領域、1101:透過率1のパターン領
域、1102:透過率2のパターン領域、1103:ゲ
ート領域、1104:ゲート絶縁膜、1105:ソース
またはドレイン領域、1201:レベンソン二回露光領
域、1202:レベンソン一回露光領域、1203:レ
ベンソン非露光領域、1204:ラフマスクパターン、
1205:コンタクトホール、1206:層間絶縁膜、
1801:微細線パターン中抜き領域。

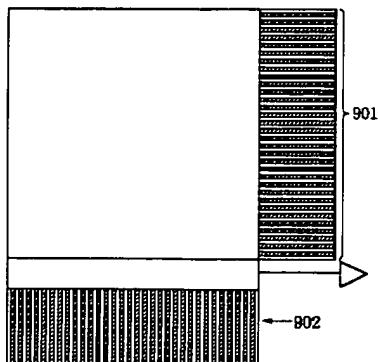
【図1】



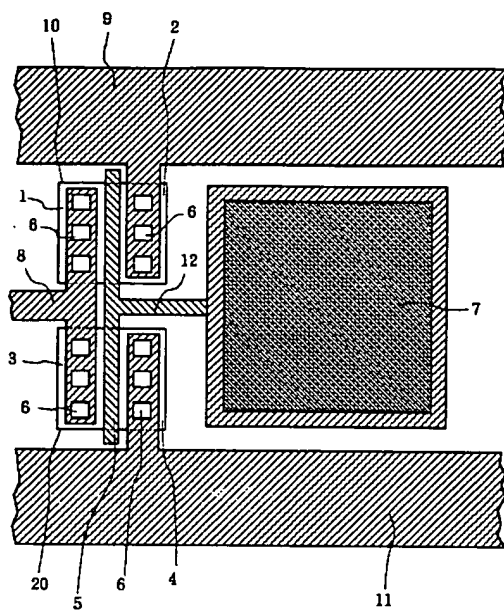
【図2】



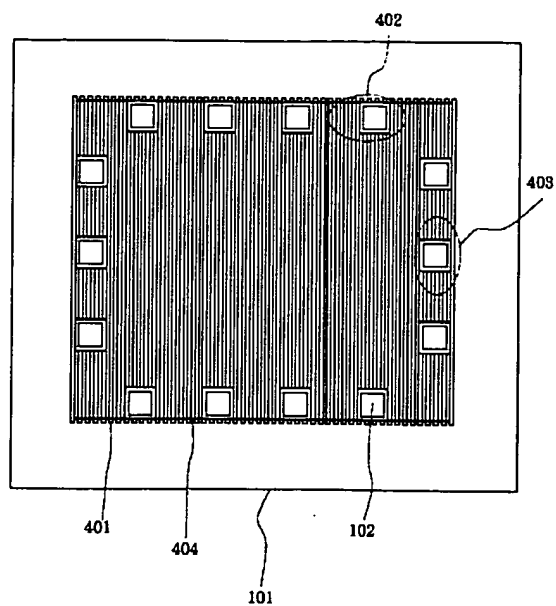
【図16】



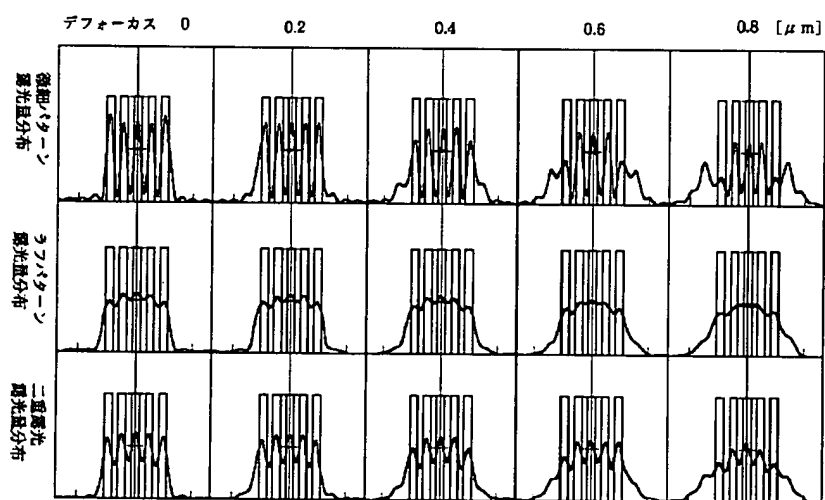
【図3】



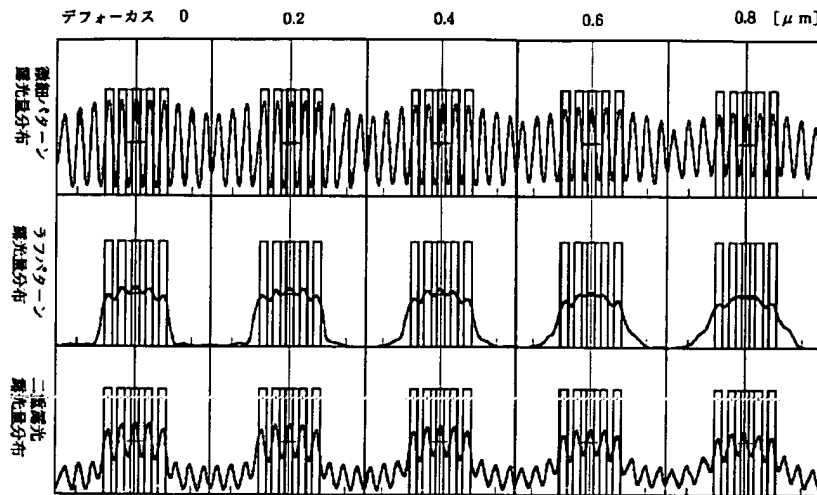
【図4】



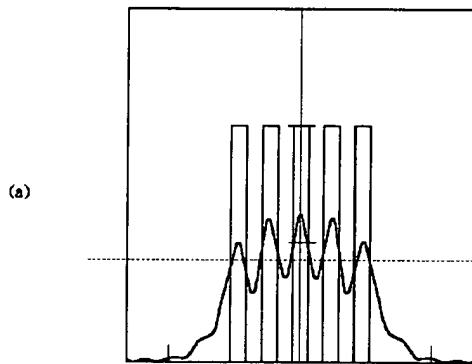
【図5】



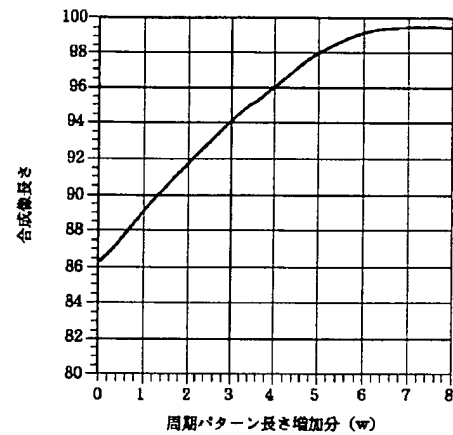
【図6】



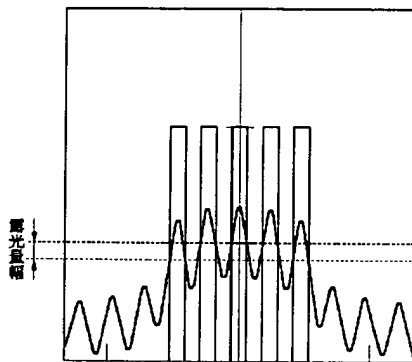
【図7】



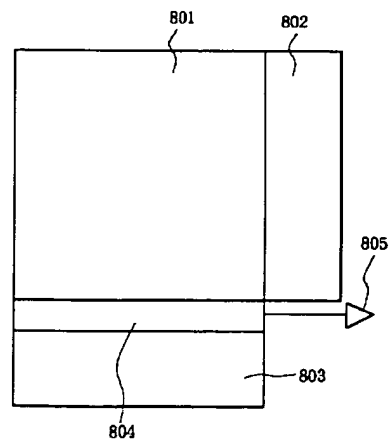
【図8】



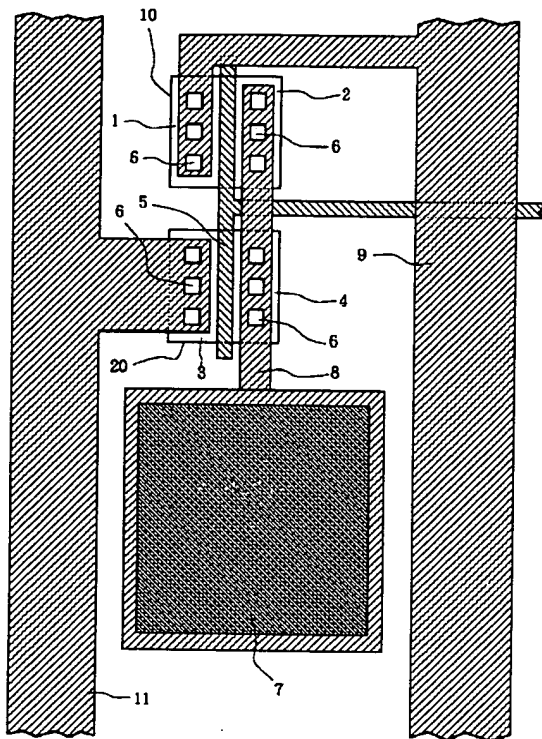
(b)



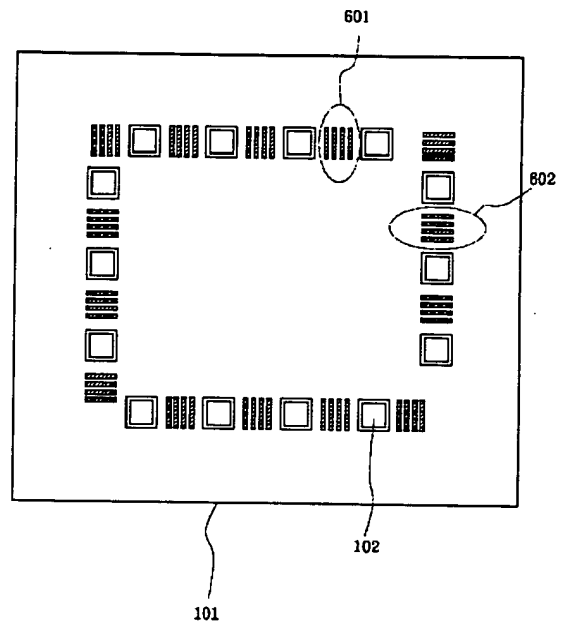
【図15】



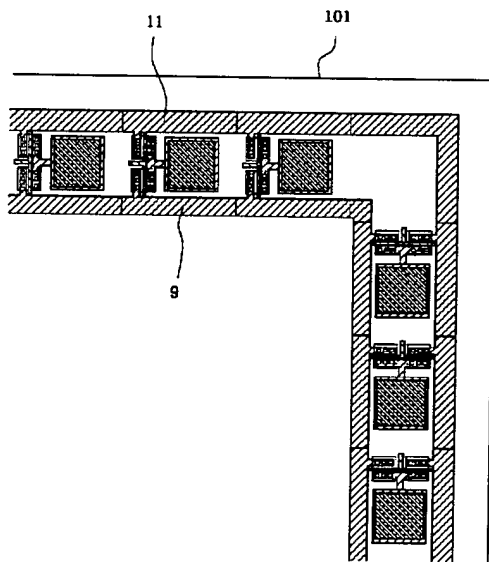
【図9】



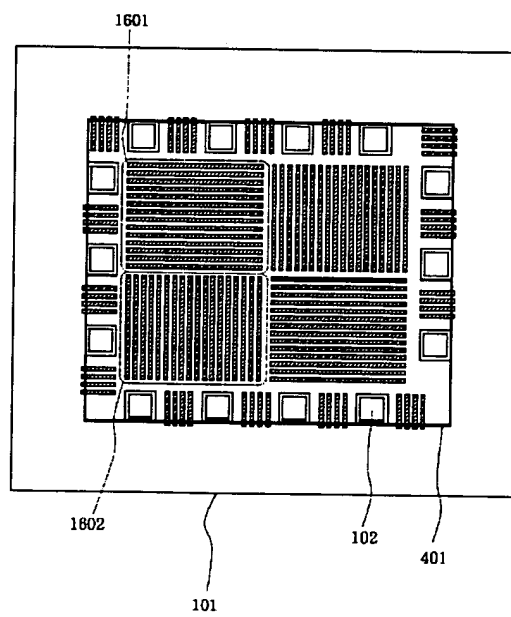
【図10】



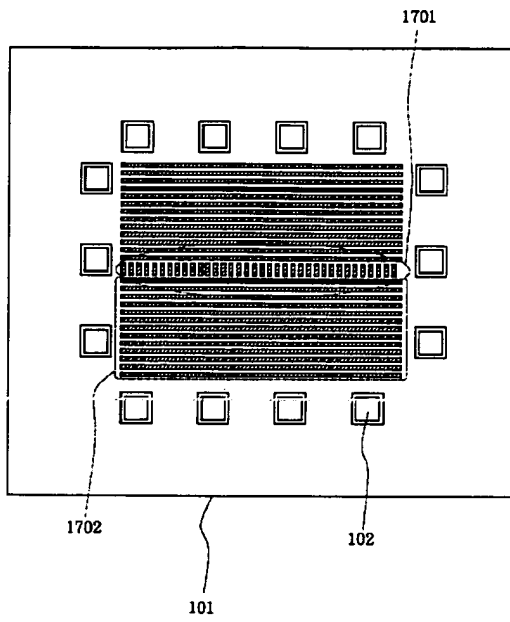
【図11】



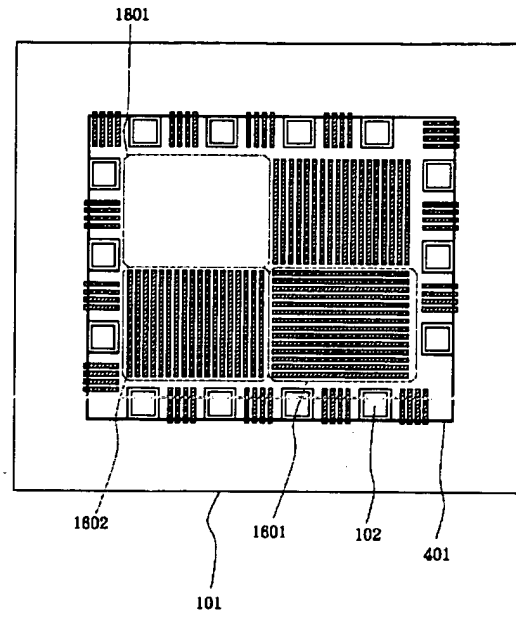
【図12】



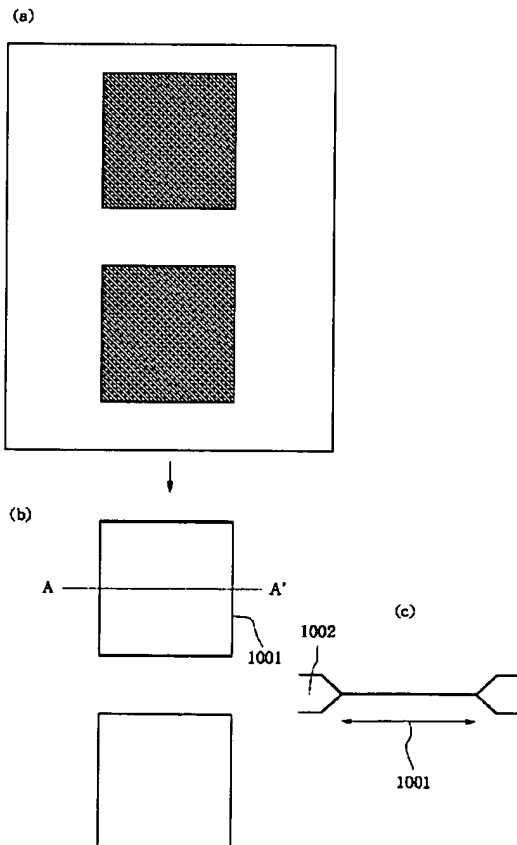
【図13】



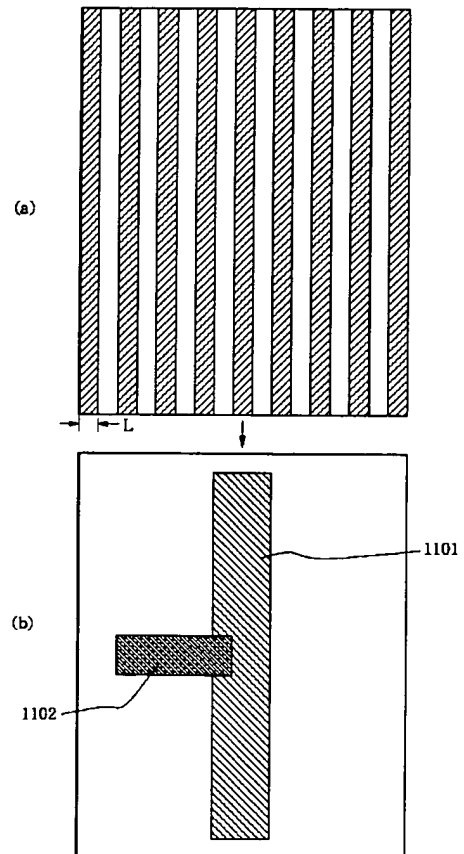
【図14】



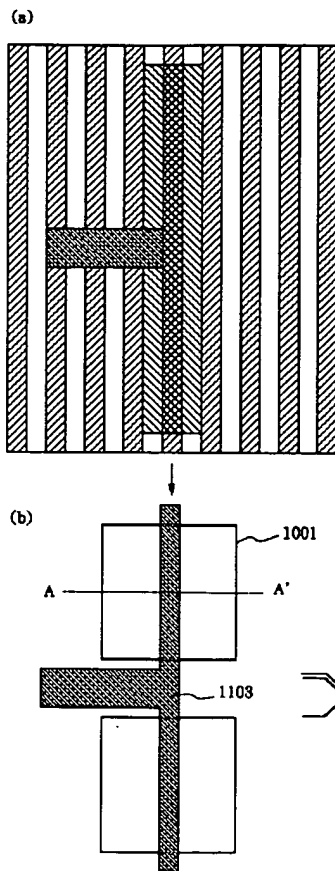
【図17】



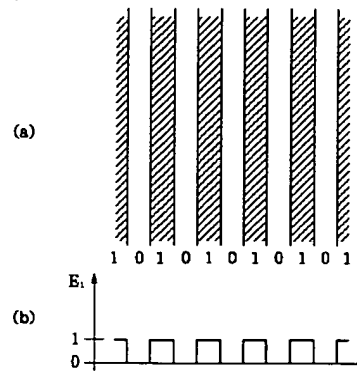
【図18】



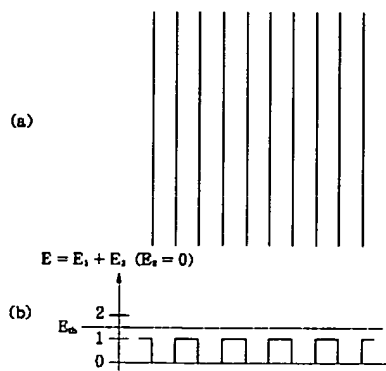
【図19】



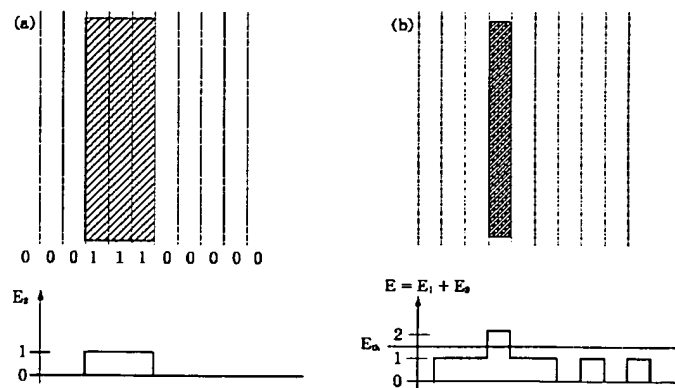
【図20】



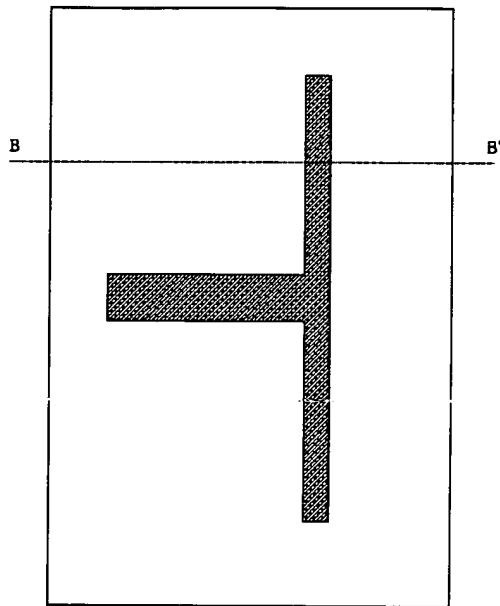
【図21】



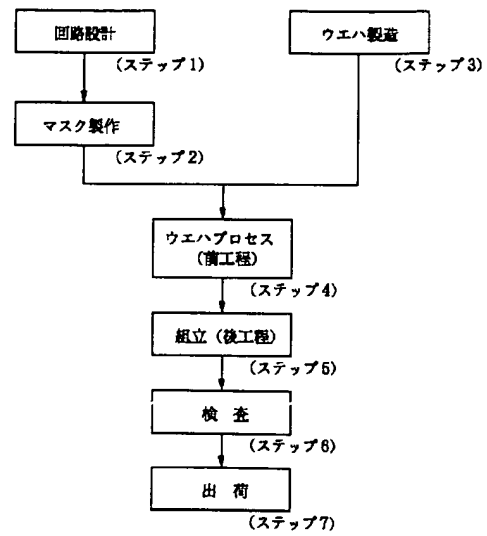
【図22】



【図23】

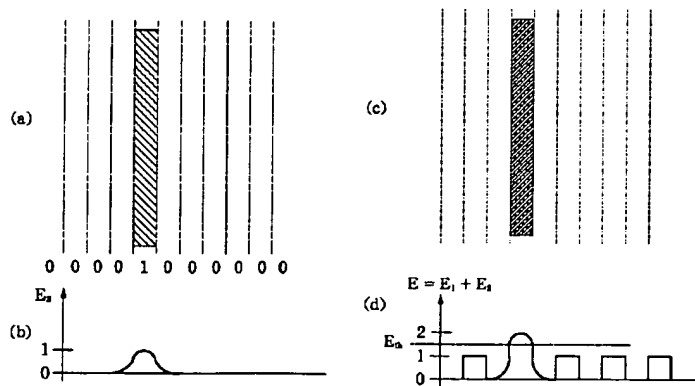


【図28】

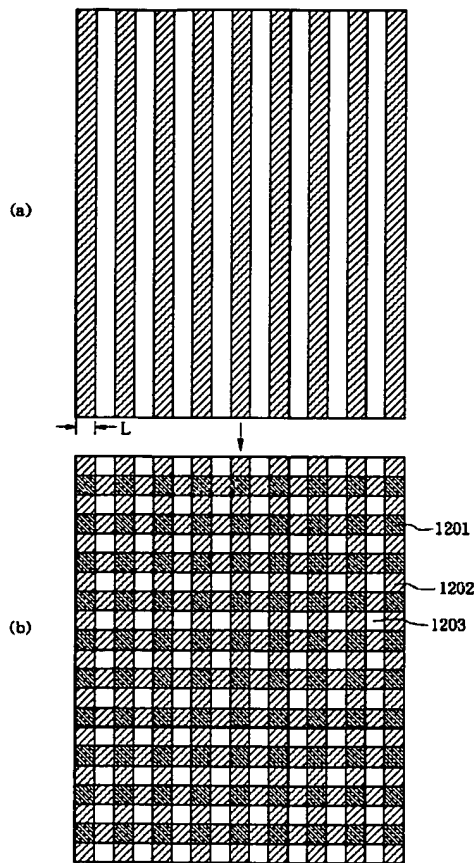


半導体デバイス製造フロー

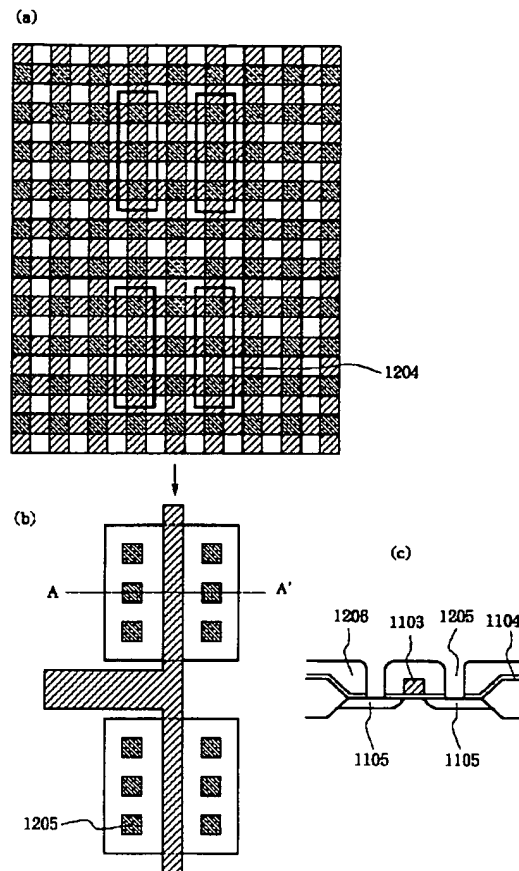
【図24】



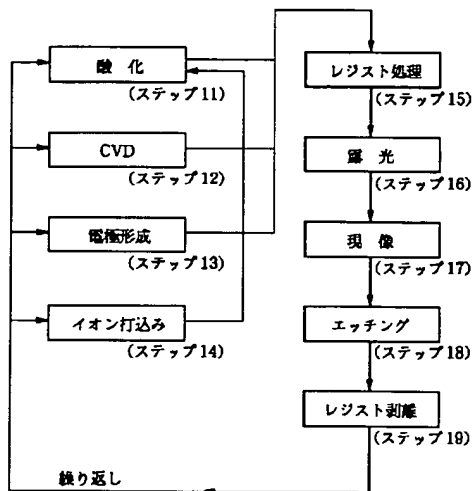
【図25】



【図26】

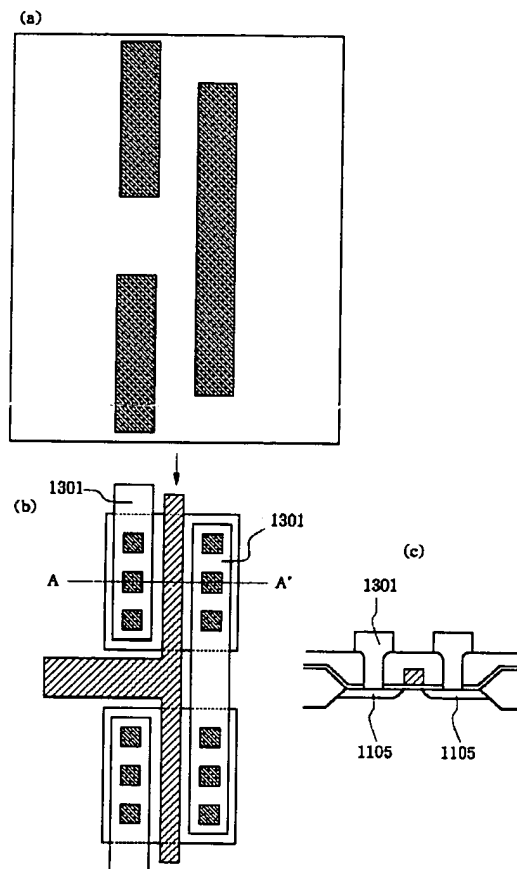


【図29】



ウエハプロセス

【図27】



THIS PAGE BLANK (USPTO)